

JAPANESE

[JP,11-097683,A]

---

CLAIMS DETAILED DESCRIPTION TECHNICAL FIELD PRIOR ART EFFECT OF THE  
INVENTION TECHNICAL PROBLEM MEANS DESCRIPTION OF DRAWINGS DRAWINGS  
CORRECTION or AMENDMENT

---

[Translation done.]

**\* NOTICES \***

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This inventions are a semiconductor device and its manufacture method, and a thing concerning improvement of the gate insulator layer especially.

[0002]

[Description of the Prior Art] With the element for which a gate insulator layer which is represented by the nonvolatile semiconductor memory (EEPROM) in which electric writing and electric elimination are possible in recent years is used as a tunnel insulator layer, the high electric field exceeding 10 MV/cm in the case of writing and elimination are impressed to a gate insulator layer. Moreover, such high electric field come to be impressed in the gate insulator layer of a logical operation element that it turns minutely in order to maintain the performance. In order that the electron which acquired high energy from electric field by impressing the above high electric fields to a gate insulator layer may pass, high dielectric-breakdown resistance is required from a gate insulator layer.

[0003] Experiential technique [ say / using the conditions with which parameters, such as formation temperature and formation atmosphere, are changed, various insulator layers are formed, the gate insulator layer in the conventional technology estimates those electric properties, and spec. is filled ] has been taken. However, it is becoming difficult to fill the above-mentioned spec. with the present condition that a gate insulator layer becomes still thinner.

[0004]

[Problem(s) to be Solved by the Invention] Thus, although high dielectric-breakdown resistance was required from the tunnel insulator layer of non-volatile memory, or the gate insulator layer of a logical operation element, it is very difficult to fill sufficient spec., and had become the factor which causes the reliability fall of an element etc.

[0005] this invention is to offer the semiconductor device which it is made to the above-mentioned conventional problem, and reliability, such as a gate insulator layer, is raised, and can aim at improvement in the reliability of an element, or a property, and its manufacture method.

[0006]

[Means for Solving the Problem] The electrode by which the semiconductor device concerning this invention was formed through the insulator layer (gate insulator layer) containing the halogen on the semiconductor (gate electrode), It has at least the impurity diffusion field (source drain diffusion field) formed corresponding to the both ends of this electrode. Concentration of the halogen near the interface with the aforementioned electrode near the interface with the aforementioned semiconductor of the aforementioned insulator layer is characterized by equivalent to the concentration of the halogen near the direction center section of thickness of this insulator layer, or being more than it (it considers as Invention A).

[0007] Typically, a polysilicon contest electrode is raised as a silicon substrate and a halogen as a semiconductor as the insulator layer (silicon nitride) and electrode which consist of the insulator layer (oxy-nitride RAIDO film) or silicon which consists of silicon, oxygen, and nitrogen as a fluorine and an

insulator layer, and nitrogen. In addition, it is also possible to use the ferroelectric film which has a perovskite structure as an insulator layer.

[0008] For example, by introducing a fluorine into an interface transition layer, although much uncombined hands of silicon, small Si-H combination of binding energy, etc. exist in the interface transition layer near the interface with the silicon substrate of a gate insulator layer, when a fluorine carries out termination to the uncombined hand of silicon or the hydrogen of Si-H combination replaces by the fluorine, a large Si-F combination of binding energy can be formed. Moreover, a fluorine can act on a bent Si-O(or N)-Si combination simultaneously, and stress can be made to ease by separating into Si-O (or N) and Si-F. Thereby, the property about the reliability of a gate insulator layer, such as a TDDDB (Time Dependence Dielectric Breakdown) property at the time of impressing high electric field to a gate insulator layer for a long time, is improvable.

[0009] Drawing 6 shows the improvement effect of the reliability when introducing a fluorine into both the interfaces of a gate insulator layer about the n channel MIS transistor which used the oxy-night RAIDO film for the gate insulator layer. A horizontal axis expresses the charge injection rate (Charge to Breakdown:Qbd) to the inside of a gate insulator layer until it results in dielectric breakdown at the time of continuing impressing fixed electric field, and the vertical axis expresses the accumulation percent defective P of dielectric breakdown as " $\ln (-\ln (1-P))$ ." According to this, it turns out by introducing a fluorine into both the interfaces of a gate insulator layer that the distribution configuration is improved. That is, although an improvement effect is seen when the fluorine of predetermined concentration is introduced only into one interface (interface by the side of the polysilicon contest used as the gate electrode of a gate insulator layer) of a gate insulator layer, and an electron is poured in from a silicon substrate, an improvement effect is not seen when an electron is poured in from a gate electrode. On the other hand, when a fluorine is introduced into both the interfaces of a gate insulator layer and an electron is poured in from which direction, it turns out that the Weibull-distribution configuration of Qbd is improved.

[0010] Thus, while according to the aforementioned invention the defect density of both the interfaces of a gate insulator layer is reduced by the halogen and being able to improve dielectric-breakdown resistance, it becomes possible to suppress the increase in the low electric-field leakage current after impressing high electric-field stress to a gate insulator layer. Therefore, the reliability of a gate insulator layer improves and it becomes possible to aim at improvement in the reliability of an element, or a property.

[0011] The manufacture method of the semiconductor device corresponding to the aforementioned invention A In the manufacture method of a semiconductor device of having at least the electrode formed through the insulator layer on the semiconductor, and the impurity diffusion field formed corresponding to the both ends of this electrode It is characterized by introducing into the component of the aforementioned semiconductor, the aforementioned insulator layer, and the aforementioned electrode a halogen (ion of the matter which contains a halogen at least), and making both the interfaces of the aforementioned insulator layer diffuse the introduced halogen. Typically, to a semiconductor, a gate insulator layer, and a gate electrode composition film, an ion implantation is performed so that the peak of halogen concentration may come in a gate insulator layer, and both the interfaces of a gate insulator layer are made to diffuse a halogen with heat treatment.

[0012] Moreover, the manufacture method of the semiconductor device corresponding to the aforementioned invention A is characterized by to make both the interfaces of the aforementioned insulator layer diffuse the halogen which introduced the halogen into the component of the aforementioned semiconductor and the aforementioned electrode, and was introduced into these semiconductors and the component of an electrode in the manufacture method of a semiconductor device of having at least the electrode formed through the insulator layer on the semiconductor, and the impurity diffusion field formed corresponding to the both ends of this electrode. After carrying out the ion implantation of the halogen to a semiconductor substrate, a gate electrode composition film is formed through a gate insulator layer, the ion implantation of the halogen is carried out to a gate electrode composition film after that, and both the interfaces of a gate insulator layer are made to diffuse

typically the halogen further introduced into the semiconductor substrate and the gate electrode composition film by the postheat treatment.

[0013] According to the describing [ above ] all directions method, since a halogen can be effectively introduced near both the interfaces of a gate insulator layer (for example, the diffused halogen carries out a pile up by the interface of a gate insulator layer, and the concentration of the halogen near the interface becomes high.), as stated previously, the reliability of gate insulator layers, such as an improvement of a TDDB property, can be raised.

[0014] For example, since a fluorine can diffuse the inside of an oxide film comparatively easily if a gate insulator layer is an oxide film when a fluorine tends to be introduced into the polycrystal silicon film of a gate electrode and it is going to introduce a fluorine to a gate insulator layer by thermal diffusion, it is also possible to introduce a fluorine into both the interfaces of an oxide film. However, when the oxy-nitride RAIDO film and nitride which suppress diffusion of a fluorine are used as a gate insulator layer, the fluorine of predetermined concentration cannot be introduced into the interface of a silicon substrate and a gate insulator layer. Although drawing 4 shows the profile of the depth direction of the fluorine at the time of diffusing a fluorine only from the polycrystal silicon film formed on the oxy-nitride RAIDO film, diffusion of a fluorine is suppressed by the field containing nitrogen and the fluorine has become is hard to be introduced into the interface of a silicon substrate and an oxy-nitride RAIDO film. On the other hand, although drawing 5 shows the profile of the depth direction of the fluorine at the time of introducing a fluorine into a gate insulator layer by the method of this invention, it can introduce a fluorine into both the interfaces of an oxy-nitride RAIDO film by high concentration.

[0015] moreover, according to the 1st aforementioned method, by cutting the combination in a gate insulator layer in the case of the ion implantation of a halogen, when an insulating membrane structure is reconstructible with subsequent heat treatment, there is an advantage acquired and said On the other hand, if the ion implantation of the halogen is carried out after the ion implantation of a halogen so that a gate insulator layer may be passed when hot heat treatment is impossible, it is difficult to reconstruct a gate insulation membrane structure. Since a gate insulator layer is made to diffuse the halogen introduced into the semiconductor substrate and the gate electrode composition film according to the 2nd method, a halogen can be effectively introduced into both the interfaces of a gate insulator layer, without an ion implantation cutting the combination in a gate insulator layer.

[0016] Moreover, the 1st electrode by which the semiconductor device concerning this invention was formed through the 1st insulator layer (1st gate insulator layer) containing the halogen on the semiconductor (gate electrode : 1st floating gate), The impurity diffusion field formed corresponding to the both ends of this 1st electrode (source drain diffusion field), It has at least the 2nd electrode (gate electrode : 2nd control gate) formed through the 2nd insulator layer (2nd gate insulator layer) containing the halogen on the electrode of the above 1st. The concentration of the halogen near the interface with the 1st electrode of the above near the interface with the aforementioned semiconductor of the 1st insulator layer of the above is equivalent to the concentration of the halogen near the direction center section of thickness of this 1st insulator layer, or more than it. Concentration of the halogen near the interface with the 2nd electrode of the above near the interface with the 1st electrode of the above of the 2nd insulator layer of the above is characterized by equivalent to the concentration of the halogen near the direction center section of thickness of this 2nd insulator layer, or being more than it (it considers as Invention B).

[0017] Typically, a polysilicon contest electrode is raised as a silicon substrate and a halogen as a semiconductor as an insulator layer (silicon nitride), the 1st, and 2nd electrodes which consist of the insulator layer (oxy-nitride RAIDO film) or silicon which consists of silicon, oxygen, and nitrogen as a fluorine and the 1st insulator layer, and nitrogen.

[0018] According to the aforementioned invention, it becomes possible by introducing a halogen into both the interfaces of an insulator layer for the reliability of an insulator layer to improve and to aim at improvement in the reliability of an element, or a property, as the aforementioned invention A described. That is, it becomes possible by introducing a halogen into both the interfaces of the 1st insulator layer and each 2nd insulator layer to make the property of the 2nd insulator layer under the 2nd electrode

which controls electronic receipts and payments for the 1st dielectric-breakdown resistance and stress leak property of an insulator layer of making an electron tunneling by high electric field to not only be to improve, but homogenize.

[0019] The manufacture method of the semiconductor device corresponding to the aforementioned invention B The 1st electrode formed through the 1st insulator layer on the semiconductor, and the impurity diffusion field formed corresponding to the both ends of this 1st electrode, In the manufacture method of a semiconductor device of having at least the 2nd electrode formed through the 2nd insulator layer on the electrode of the above 1st A halogen is introduced into the component of the aforementioned semiconductor and the 1st electrode of the above, and the component of the 2nd electrode of the above at least. It is characterized by making both the interfaces of the 1st insulator layer of the above diffuse the halogen introduced into the component of the aforementioned semiconductor and the 1st electrode of the above, and making both the interfaces of the 2nd insulator layer of the above diffuse the halogen introduced into the component of the 1st electrode of the above, and the component of the 2nd electrode of the above.

[0020] Moreover, the manufacture method of the semiconductor device corresponding to the aforementioned invention B The 1st electrode formed through the 1st insulator layer on the semiconductor, and the impurity diffusion field formed corresponding to the both ends of this 1st electrode, In the manufacture method of a semiconductor device of having at least the 2nd electrode formed through the 2nd insulator layer on the electrode of the above 1st After carrying out pattern formation of the 1st insulator layer of the above, the 1st electrode, the 2nd insulator layer, and the 2nd electrode, The 3rd insulator layer which contains a wrap halogen for these 1st insulator layers by which pattern formation was carried out, the 1st electrode, the 2nd insulator layer, and the 2nd electrode is formed, and it is characterized by making the above 1st and the 2nd insulator layer diffuse the halogen contained in this 3rd insulator layer.

[0021] According to each aforementioned manufacture method, since a halogen can be effectively introduced near both the interfaces of each the 1st and 2nd insulator layers, it becomes possible for the reliability of an insulator layer to improve and to aim at improvement in the reliability of an element, or a property, as the aforementioned invention A described.

[0022]

[Embodiments of the Invention] Hereafter, the operation gestalt of this invention is explained in detail with reference to a drawing.

[0023] First, the 1st operation gestalt of this invention is explained with reference to drawing 1 , drawing 2 , and drawing 3 .

[0024] In drawing 1 , the silicon thermal oxidation film 2 used as an isolation insulator layer is formed on the p-type-silicon substrate 1. Moreover, the insulator layer 3 (oxy-nitride RAIDO film) which makes silicon, oxygen, and nitrogen a principal component as a gate insulator layer is formed in silicon-substrate 1 front face. The fluorine atom (generally halogen) is introduced into this gate insulator layer 3. The concentration of this fluorine serves as that the concentration near both the interfaces of the gate insulator layer 3 is equivalent to the concentration near the center section of the gate insulator layer 3, or a distribution which becomes more than it. On the gate insulator layer 3, the polycrystal silicon film 4 used as a gate electrode is formed.

[0025] Moreover, the CVD silicon oxide 6 is formed on the polycrystal silicon film 4, and the silicon nitride 8 used as a side-attachment-wall insulator layer is formed in the side attachment wall of the gate electrode 4. Moreover, the n type source drain diffusion layers 7a and 7b are formed in silicon-substrate 1 front face near the ends of the gate electrode 4 by the ion implantation of Lynn, and the silicide layer 9 is formed in the source drain diffusion layer front face. furthermore -- the CVD silicon oxide 10 used as the layer insulation film formed in the whole surface -- contact -- opening of the hole is carried out and the aluminum electrode 11 which is wiring is formed

[0026] Hereafter, the manufacturing process of the n channel MIS transistor shown in drawing 1 is explained with reference to drawing 2 (a) - drawing 3 (l).

[0027] First, as shown in drawing 2 (a), the p-type-silicon substrate 1 of a field direction (100), specific

resistance 4 - 6-ohmcm is prepared, and the isolation insulator layer 2 with a thickness of about 0.6 micrometers is formed in the front face of this p-type-silicon substrate 1 by the usual selective oxidation method.

[0028] Next, after forming a silicon oxide with a thickness of 6nm by thermal oxidation by dryness oxygen as shown in this drawing (b) for example, the oxy-nitride RAIDO film 3 with which the nitrogen atom was introduced as a gate insulator layer is formed by exposing this silicon oxide into ammonia (NH<sub>3</sub>) gas atmosphere. Then, the polycrystal silicon film 4 with a thickness of 200nm it is thin to a gate electrode is deposited on the gate insulator layer 3. Phosphorus oxychloride (POCl<sub>3</sub>) is used into this polycrystal silicon film, Lynn is diffused (for 850 degrees C and 30 minutes), and the polycrystal silicon film 4 is made to form into low resistance.

[0029] Next, as shown in this drawing (c), the ion implantation of the fluorine is carried out to the whole surface by for example, acceleration voltage 80keV and dose  $1 \times 10^{15} \text{cm}^{-2}$ . It is made for a concentration distribution of the fluorine immediately after an ion implantation to turn into a distribution which spread on the silicon substrate 1 and the polycrystal silicon film 4 with a peak of the inside of the oxy-nitride RAIDO film 3 at this time. Then, both the interfaces of the gate insulator layer 3 are made to diffuse the fluorine poured into the silicon substrate 1, the gate insulator layer 3, and the polycrystal silicon film 4 by heat-treating this for 30 minutes 850 degrees C for example, in nitrogen-gas-atmosphere mind. By the pile up of the fluorine which the fluorine diffused and diffused etc., the fluorine concentration near both the interfaces of the gate insulator layer 3 becomes equivalent to the fluorine concentration near the center section of the gate insulator layer 3, or more than it.

[0030] Next, as shown in this drawing (d), the CVD silicon oxide 6 is deposited on the polycrystal silicon film 4. Then, the polycrystal silicon film 4 and the CVD silicon oxide 6 are \*\*\*\*\*ed by the reactive-ion-etching method using a resist mask, and the gate section is formed.

[0031] Next, as shown in this drawing (e), the  $1 \times 10^{15} \text{cm}^{-2}$  ion implantation of Lynn is carried out by using the gate section as a mask. The poured-in phosphorus ion is distributed focusing on the peak depth depending on acceleration energy inside a silicon substrate. Then, for example, 950 degrees C and heat treatment for 30 seconds are performed, Lynn is diffused and activated in a silicon substrate, and diffusion layer 7a used as a source drain field is formed.

[0032] Next, as shown in this drawing (f), the silicon nitride 8 with a thickness of 100nm is deposited on the whole surface by CVD.

[0033] Next, as shown in drawing 3 (g), the silicon nitride 8 is \*\*\*\*\*ed by the reactive-ion-etching method, and the gate side-attachment-wall section is formed.

[0034] Next, as shown in this drawing (h), phosphorus ion is poured in by using the gate side-attachment-wall section as a mask. The poured-in phosphorus ion is distributed focusing on the peak depth depending on acceleration energy inside a silicon substrate. Then, for example, 950 degrees C and heat treatment for 30 seconds are performed, Lynn is diffused and activated in a silicon substrate, and diffusion layer 7b used as a source drain field is formed.

[0035] Next, as shown in this drawing (i), a titanium thin film with a thickness of 25nm and a titanium nitride RAIDO thin film with a thickness of 50nm are deposited on the whole surface one by one by the spatter. Furthermore, perform heat treatment for 1 minute at 700 degrees C among nitrogen-gas-atmosphere mind, a titanium thin film is made to react with a silicon substrate, and the titanium silicide film 9 is formed only on a source drain field. Then, the unreacted titanium thin film on a titanium nitride RAIDO film and an insulator layer is alternatively exfoliated, for example by the solution of a hydrofluoric acid, and the mixed solution of a sulfuric acid and a hydrogen peroxide.

[0036] Next, as shown in this drawing (j), the silicon oxide 10 with a thickness of 300nm is deposited on the whole surface by CVD.

[0037] Next, as shown in this drawing (k), opening of the contact hole is carried out to a silicon oxide 10 by anisotropy dry etching.

[0038] As shown in this drawing (l), after forming an aluminum film with a thickness of 800nm which contains silicon and copper, for example by a unit of 0.5%, respectively finally, patterning of this is carried out and the source drain electrode 11 is formed. Then, it heat-treats in the nitrogen-gas-

atmosphere mind which contains hydrogen 10% for 15 minutes at 450 degrees C.

[0039] In addition, in order to avoid mixing of the metal impurity at the time of an ion implantation, 20nm of oxide films may be formed on a polycrystal silicon film, for example, and although the ion implantation of a fluorine was directly performed into the polycrystal silicon film used as a gate electrode with this operation gestalt, you may perform the ion implantation of a fluorine so that this may be passed.

[0040] Moreover, although the ion implantation of the fluorine was carried out with this operation gestalt so that a peak might come in a gate insulator layer, the acceleration voltage at the time of an ion implantation may be controlled, and you may carry out the ion implantation of the fluorine so that a peak may come to each in a gate electrode, a gate insulator layer, and a substrate.

[0041] Next, the 2nd operation gestalt of this invention is explained with reference to drawing 7 and drawing 8. In addition, since final structure is the same as that of drawing 2, explanation is omitted here.

[0042] Hereafter, the manufacturing process of the n channel MIS transistor of this example is explained with reference to drawing 7 (a) - drawing 8 (n).

[0043] First, as shown in drawing 7 (a), the p-type-silicon substrate 1 of a field direction (100), specific resistance 4 - 6-ohmcm is prepared, and the isolation insulator layer 2 with a thickness of about 0.6 micrometers is formed in the front face of this p-type-silicon substrate 1 by the usual selective oxidation method.

[0044] Next, as shown in this drawing (b), the ion implantation of the fluorine ion is carried out to the front face of this silicon substrate 1 by for example, acceleration voltage 10keV and dose  $1 \times 10^{15} \text{cm}^{-2}$ .

[0045] Next, as shown in this drawing (c), a silicon oxide with a thickness of 6nm is formed by thermal oxidation by dryness oxygen, for example, into ammonia atmosphere, this silicon oxide is exposed, a nitrogen atom is introduced, and the oxy-nitride RAIDO film 3 used as a gate insulator layer is formed.

[0046] Next, as shown in this drawing (d), after forming the polycrystal silicon film 4, Lynn is diffused using phosphorus oxychloride (for 850 degrees C and 30 minutes), and Lynn is made to introduce and form into low resistance in the polycrystal silicon film 4.

[0047] Next, as shown in this drawing (e), the CVD silicon oxide 6 is deposited on the polycrystal silicon film 4. Then, the ion implantation of the fluorine is carried out into the polycrystal silicon film 6 by for example, acceleration voltage 30keV and dose  $1 \times 10^{15} \text{cm}^{-2}$ . An ion implantation is performed so that the peak concentration of a fluorine may come into the polycrystal silicon film 4 at this time. Then, both the interfaces of the oxy-nitride RAIDO film 3 are made to diffuse the fluorine which introduced this 850 degrees C in nitrogen-gas-atmosphere mind for example, into the fluorine introduced into the silicon substrate 1 by heat-treating for 30 minutes, and the polycrystal silicon film 4. Thereby, the fluorine concentration near both the interfaces of the gate insulator layer 3 becomes equivalent to the fluorine concentration near the center section of the gate insulator layer 3, or more than it.

[0048] Next, as shown in this drawing (f), the polycrystal silicon film 4 and the CVD silicon oxide 6 are \*\*\*\*\*ed by the reactive-ion-etching method using a resist mask, and the gate section is formed.

[0049] Next, as shown in this drawing (g), the  $1 \times 10^{15} \text{cm}^{-2}$  ion implantation of Lynn is carried out by using the gate section as a mask. The poured-in phosphorus ion is distributed focusing on the peak depth depending on acceleration energy inside a silicon substrate. Then, for example, 950 degrees C and heat treatment for 30 seconds are performed, Lynn is diffused and activated in a silicon substrate, and diffusion layer 7a used as a source drain field is formed.

[0050] Next, as shown in drawing 8 (h), the silicon nitride 8 with a thickness of 100nm is deposited on the whole surface by CVD.

[0051] Next, as shown in this drawing (i), the silicon nitride 8 is \*\*\*\*\*ed by the reactive-ion-etching method, and the gate side-attachment-wall section is formed.

[0052] Next, as shown in this drawing (j), phosphorus ion is poured in by using the gate side-attachment-wall section as a mask. The poured-in phosphorus ion is distributed focusing on the peak depth depending on acceleration energy inside a silicon substrate. Then, for example, 950 degrees C and heat treatment for 30 seconds are performed, Lynn is diffused and activated in a silicon substrate, and



diffusion layer 7b used as a source drain field is formed.

[0053] Next, as shown in this drawing (k), a titanium thin film with a thickness of 25nm and a titanium nitride thin film with a thickness of 50nm are deposited on the whole surface one by one by the sputter. Furthermore, perform heat treatment for 1 minute at 700 degrees C among nitrogen-gas-atmosphere, a titanium thin film is made to react with a silicon substrate, and the titanium silicide film 9 is formed only on a source drain field. Then, the unreacted titanium thin film on a titanium nitride film and an insulator layer is alternatively exfoliated, for example by the solution of a hydrofluoric acid, and the mixed solution of a sulfuric acid and a hydrogen peroxide.

[0054] Next, as shown in this drawing (l), the silicon oxide 10 with a thickness of 300nm is deposited on the whole surface by CVD.

[0055] Next, as shown in this drawing (m), opening of the contact hole is carried out to a silicon oxide 10 by anisotropy dry etching.

[0056] As shown in this drawing (n), after forming an aluminum film with a thickness of 800nm which contains silicon and copper, for example by a unit of 0.5%, respectively finally, patterning of this is carried out and the source drain electrode 11 is formed. Then, it heat-treats in the nitrogen-gas-atmosphere which contains hydrogen 10% for 15 minutes at 450 degrees C.

[0057] For example, if the ion implantation of the fluorine is carried out so that a gate insulator layer may be passed when this invention is applied to the element in which hot heat treatment is impossible after the ion implantation of a fluorine, a gate insulation membrane structure is not reconstructible. If a fluorine is introduced into the polycrystal silicon film used as a silicon substrate and a gate electrode like the above-mentioned operation, respectively, an ion implantation cannot cut the combination in a gate insulator layer, but a fluorine can be effectively introduced to both the interfaces of a gate insulator layer.

[0058] in addition -- although each above-mentioned operation form explained taking the case of the oxy-nitride film as a gate insulator layer -- SiH<sub>2</sub> Cl<sub>2</sub> SiCl<sub>4</sub> NH<sub>3</sub> etc. -- the silicon nitride which used and formed membranes, and NH<sub>3</sub> etc. -- the same effect is able to obtain also to the silicon nitride which nitrified the silicon-substrate front face directly and formed it. Furthermore, when a ferroelectric film like BSTO (barium addition strontium titanate) is used, for example, it is possible to acquire the same effect.

[0059] Next, the 3rd operation of this invention is explained with reference to drawing 9, drawing 10, and drawing 11. This operation applies this invention to the nonvolatile semiconductor memory (EEPROM) in which electric writing and electric elimination are possible.

[0060] In drawing 9, the silicon thermal oxidation film 2 used as an isolation insulator layer is formed on the p-type-silicon substrate 1. 1st gate insulator layer 3a is formed in silicon-substrate 1 front face, and 1st polysilicon contact film 4a used as the 1st gate electrode (floating gate) is formed on 1st gate insulator layer 3a. The fluorine atom (generally halogen) is introduced into 1st gate insulator layer 3a, and the fluorine concentration near both the interfaces of 1st gate insulator layer 3a has become equivalent to the fluorine concentration near the center section of 1st gate insulator layer 3a, or more than it. On 1st polysilicon contact film 4a, 2nd gate insulator layer 3b is formed, and 2nd polysilicon contact film 4b used as the 2nd gate electrode (control gate) is formed on 2nd gate insulator layer 3b. The fluorine atom (generally halogen) is introduced into 2nd gate insulator layer 3b, and the fluorine concentration near both the interfaces of 2nd gate insulator layer 3b has become equivalent to the fluorine concentration near the center section of 2nd gate insulator layer 3b, or more than it.

[0061] CVD silicon-oxide 6a is formed on 2nd polysilicon contact film 4b, and silicon-oxide 6b is formed in the side attachment wall of the gate section. Moreover, n type source drain diffusion layer 7a is formed in silicon-substrate 1 front face near the ends of 1st gate electrode 4a by the ion implantation of phosphorus. Furthermore -- the CVD silicon oxide 10 used as the layer insulation film formed in the whole surface -- contact -- opening of the hole is carried out and the aluminum electrode 11 which is wiring is formed.

[0062] Thus, it becomes possible by introducing a fluorine into both the interfaces of both the insulator layers of 1st gate insulator layer 3a and 2nd gate insulator layer 3b to also make the property of 2nd



insulator layer 3b the 1st dielectric-breakdown resistance and stress leak property of a gate insulator layer of making an electron tunneling by high electric field are not only improved, but formed in the bottom of 2nd gate electrode 4b which controls electronic receipts and payments homogenize. Especially 1st gate insulator layer 3a pours an electron into 1st gate electrode 4a from a substrate 1, or Conversely, since an electron is emitted to a substrate 1 from 1st gate electrode 4a, by introducing a fluorine into both the interfaces of 1st gate insulator layer 3a, the dielectric-breakdown resistance over the stress of the both directions can be made to improve, and it becomes possible to attain highly-efficient-izing and high reliance-ization.

[0063] Hereafter, the manufacturing process of the nonvolatile semiconductor memory shown in drawing 9 is explained with reference to drawing 10 (a) - drawing 11 (m).

[0064] First, as shown in drawing 10 (a), the p-type-silicon substrate of a field direction (100), specific resistance 4 - 6ohmm is prepared, and the isolation insulator layer 2 with a thickness of about 0.6 micrometers is formed in the front face of this p-type-silicon substrate 1 by the usual selective oxidation method.

[0065] Then, as shown in this drawing (b), the ion implantation for example, of the fluorine ion is carried out to the surface field of a silicon substrate by acceleration voltage 10keV and dose  $1 \times 10^{15}/\text{cm}^2$  through a buffer thermal oxidation film.

[0066] Next, as shown in this drawing (c), after an ammonium-fluoride solution etc. removes a buffer thermal oxidation film, a silicon oxide with a thickness of 6nm is formed by thermal oxidation by dryness oxygen, for example, into ammonia (NH<sub>3</sub>) gas atmosphere, this silicon oxide is exposed, a nitrogen atom is introduced, and oxy-night RAIDO film 3a used as the 1st gate insulator layer is formed.

[0067] Next, as shown in this drawing (d), with a thickness of 200nm it is thin to the floating gate polycrystal silicon film 4a is deposited on 1st gate insulator layer 3a. Then, for example, 850 degrees C and Lynn diffusion process for 30 minutes are given, and Lynn is made to dope and form into low resistance in this polycrystal silicon film 4a by phosphorus oxychloride (POCl<sub>3</sub>). In addition, for example, silane (SiH<sub>4</sub>) gas and phosphine (PH<sub>3</sub>) gas are made to react, and you may make it deposit a polysilicon contest film including Lynn. Moreover, Lynn may be activated by carrying out the ion implantation of the phosphorus ion, for example, carrying out 900 degrees C and heat treatment for 30 minutes in nitrogen-gas-atmosphere mind, and resistance of a polycrystal silicon film may be reduced.

[0068] Next, as shown in this drawing (e), the ion implantation for example, of the fluorine ion is carried out by acceleration voltage 30keV and dose  $1 \times 10^{15}/\text{cm}^2$  into polycrystal silicon film 4a.

[0069] Next, as shown in this drawing (f), CVD with a thickness of 5nm it is thin to 2nd gate insulator layer silicon-oxide 3b, and with a thickness of 200nm it is thin to the control gate polycrystal silicon film 4b are deposited continuously. Then, for example, 850 degrees C and Lynn diffusion process for 30 minutes are given, and Lynn is made to dope and form into low resistance in polycrystal silicon film 4b by phosphorus oxychloride (POCl<sub>3</sub>).

[0070] Next, as shown in this drawing (g), the ion implantation of the fluorine is carried out into polycrystal silicon film 4b by for example, acceleration voltage 30keV and dose  $1 \times 10^{15}/\text{cm}^2$ . Then, 850 degrees C and heat treatment for 30 minutes are performed in nitrogen-gas-atmosphere mind. Finally with this heat treatment, the fluorine introduced into polycrystal silicon film 4a is diffused in oxy-night RAIDO film 3a and silicon-oxide 3b, and the fluorine introduced into polycrystal silicon film 4b is diffused in silicon-oxide 3b. Moreover, the fluorine introduced into the silicon substrate 1 is also diffused in oxy-night RAIDO film 3a. It is made for the fluorine concentration near both the interfaces of oxy-night RAIDO film 3a to become equivalent to the fluorine concentration near [ the ] the center section, or more than it, and is made for the fluorine concentration near both the interfaces of silicon-oxide 3b to become equivalent to the fluorine concentration near [ the ] the center section, or more than it by this.

[0071] Next, as shown in drawing 11 (h), CVD oxide-film 6a is deposited on the whole surface.

[0072] Next, as shown in this drawing (i), CVD oxide-film 6a, polycrystal silicon film 4b, silicon-oxide 3b, and polycrystal silicon film 4a are \*\*\*\*\*ed by the reactive-ion-etching method using a resist

mask, and the gate section is formed. Then, oxide-film 6b is formed using the combustion oxidation style by the mixed gas of hydrogen and oxygen etc.

[0073] Next, as shown in this drawing (j), the  $5 \times 10^{15} \text{cm}^{-2}$  ion implantation of Lnn is carried out. Then, for example, 950 degrees C and heat treatment for 30 seconds are performed, Lnn is diffused and activated in a silicon substrate, and diffusion layer 7a used as a source drain field is formed.

[0074] Next, as shown in this drawing (k), the silicon oxide 10 with a thickness of 300nm is deposited on the whole surface by CVD.

[0075] Next, as shown in this drawing (l), opening of the contact hole is carried out to a silicon oxide 10 by anisotropy dry etching.

[0076] As shown in this drawing (m), after forming an aluminum film with a thickness of 800nm which contains silicon and copper, for example by a unit of 0.5%, respectively finally, patterning of this is carried out and the source drain electrode 11 is formed. Then, it heat-treats by the nitrogen-gas-atmosphere mind which contains hydrogen 10% for 15 minutes at 450 degrees C.

[0077] The amount of fluorines which can be made to introduce a fluorine into both the interfaces of 1st gate insulator layer 3a and both the interfaces of 2nd gate insulator layer 3b, and exists in each interface by this becomes possible [ controlling by the dose at the time of each ion implantation ]. Therefore, it becomes possible to make the reliability over the electrical stress at the time of writing and elimination improve sharply.

[0078] Next, the 4th operation gestalt of this invention is explained with reference to drawing 12 and drawing 13 . In addition, since final structure is the same as that of drawing 9 , explanation is omitted here.

[0079] Hereafter, the manufacturing process of the non-volatile memory of this example is explained with reference to drawing 12 (a) - drawing 13 (k).

[0080] First, as shown in drawing 12 (a), the p-type-silicon substrate 1 of a field direction (100), specific resistance 4 - 6-ohmcm is prepared, and the isolation insulator layer 2 with a thickness of about 0.6 micrometers is formed in the front face of this p-type-silicon substrate 1 by the usual selective oxidation method.

[0081] Next, as shown in this drawing (b), a silicon oxide with a thickness of 6nm is formed by thermal oxidation by dryness oxygen, for example, this silicon oxide is exposed into ammonia gas atmosphere, a nitrogen atom is introduced into a silicon oxide, and oxy-night RAIDO film 3a used as the 1st gate insulator layer is formed.

[0082] Next, as shown in this drawing (c), with a thickness of 200nm it is thin to 1st gate electrode polycrystal silicon film 4a is deposited on oxy-night RAIDO film 3a. Then, for example, 850 degrees C and Lnn diffusion process for 30 minutes are given, and Lnn is made to dope and form into low resistance in polycrystal silicon film 4a by phosphorus oxychloride ( $\text{POCl}_3$ ).

[0083] Next, as shown in this drawing (d), CVD with a thickness of 5nm it is thin to 2nd gate insulator layer silicon-oxide 3b, and with a thickness of 200nm it is thin to 2nd gate electrode polycrystal silicon film 4b are deposited continuously. Then, for example, 850 degrees C and Lnn diffusion process for 30 minutes are given, and Lnn is made to dope and form into low resistance in polycrystal silicon film 4b by phosphorus oxychloride ( $\text{POCl}_3$ ).

[0084] Next, as shown in this drawing (e), CVD oxide-film 6a is deposited on the whole surface.

[0085] Next, as shown in this drawing (f), CVD oxide-film 6a, polycrystal silicon film 4b, silicon-oxide 3b, polycrystal silicon film 4a, and oxy-night RAIDO film 3a are \*\*\*\*\*ed by the reactive-ion-etching method using a resist mask, and the gate section is formed.

[0086] Next, it is  $\text{SiF}_4$  as shown in drawing 13 (g). The silicon oxide 12 containing a fluorine is formed in the whole surface by the plasma CVD method using the mixed gas of gas and oxygen gas. Then, a fluorine is diffused from a silicon oxide 12 by performing 850 degrees C and heat treatment for 30 minutes, for example in nitrogen-gas-atmosphere mind. It is made for the fluorine concentration near both the interfaces of oxy-night RAIDO film 3a to become equivalent to the fluorine concentration near [ the ] the center section, or more than it, and is made for the fluorine concentration near both the interfaces of silicon-oxide 3b to become equivalent to the fluorine concentration near [ the ] the center

section, or more than it by this.

[0087] Next, as shown in this drawing (h), oxide-film 6b is formed using the combustion oxidation style by the mixed gas of hydrogen and oxygen etc. Then, the  $5 \times 10^{15} \text{cm}^{-2}$  ion implantation of  $\text{Lynn}$  is carried out, for example. Then, 950 degrees C and heat treatment for 30 seconds are performed, for example,  $\text{Lynn}$  is diffused and activated in a silicon substrate, and diffusion layer 7a used as a source drain field is formed.

[0088] Next, as shown in this drawing (i), the silicon oxide 10 with a thickness of 300nm is deposited on the whole surface by CVD.

[0089] Next, as shown in this drawing (j), opening of the contact hole is carried out to a silicon oxide 10 by anisotropy dry etching.

[0090] As shown in this drawing (k), after forming an aluminum film with a thickness of 800nm which contains silicon and copper, for example by a unit of 0.5%, respectively finally, patterning of this is carried out and the source drain electrode 11 is formed. Then, it heat-treats by the nitrogen-gas-atmosphere mind which contains hydrogen 10% for 15 minutes at 450 degrees C.

[0091] Thus, the amount of fluorines which can be made to introduce a fluorine into both the interfaces of 1st gate insulator layer 3a and both the interfaces of 2nd gate insulator layer 3b, and exists in each interface becomes possible [controlling by fluorine concentration in the fluorine content silicon oxide to deposit] by diffusing the fluorine contained in the fluorine content silicon oxide 12 from the side of the gate section.

[0092] In addition, although a fluorine content silicon oxide is deposited after gate processing and the fluorine is diffused from here, you may make it make a fluorine introduce into the polycrystal silicon films 4a and 4b and the gate insulator layers 3a and 3b in this operation gestalt, by carrying out the ion implantation of the fluorine from across to a substrate 1 after gate processing, as shown, for example in drawing 14.

[0093] As mentioned above, although each operation gestalt of this invention was explained, this invention is not limited to these operation gestalten, can deform within limits which do not deviate from the main point variously, and can be carried out.

[0094]

[Effect of the Invention] According to this invention, by introducing a halogen into both interfaces, such as a gate insulator layer, problems, such as dielectric breakdown of an insulator layer and a low electric-field leakage current, can be improved sharply, and it becomes possible to aim at improvement in the reliability of an element, or a property.

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-97683

(43) 公開日 平成11年(1999) 4月9日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 1 L 29/78  
27/115  
21/8247  
29/788  
29/792

H 0 1 L 29/78 3 0 1 G  
27/10 4 3 4  
29/78 3 7 1

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号 特願平9-252448

(22) 出願日 平成9年(1997) 9月17日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 三谷 祐一郎

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(72) 発明者 佐竹 秀喜

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

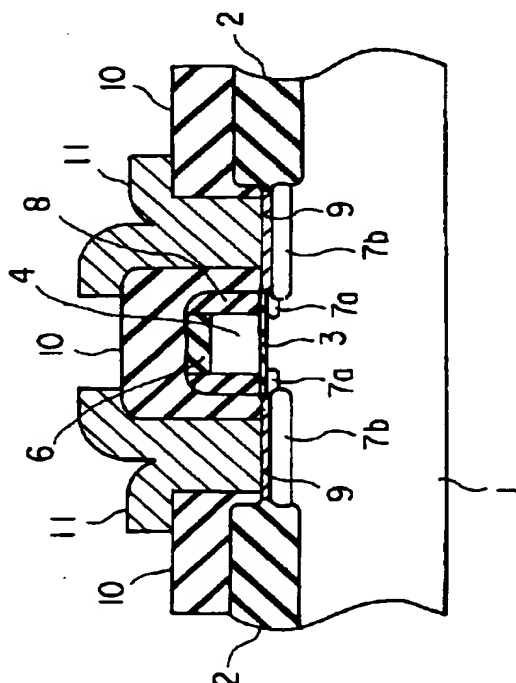
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 ゲート絶縁膜等の信頼性を高めて、素子の信頼性や特性の向上をはかる。

【解決手段】 半導体基板1表面にハロゲン元素を含有したゲート絶縁膜3を介して形成されたゲート電極4と、ゲート電極4の両端部に対応して形成されたソース・ドレイン拡散領域7a、7bとを少なくとも有し、ゲート絶縁膜3の半導体基板1との界面近傍及びゲート電極4との界面近傍のハロゲン元素の濃度が、ゲート絶縁膜の膜厚方向中央部近傍のハロゲン元素の濃度と同等又はそれ以上となっている。



i

## 【特許請求の範囲】

【請求項 1】 半導体上にハロゲン元素を含有した絶縁膜を介して形成された電極と、この電極の両端部に対応して形成された不純物拡散領域とを少なくとも有し、前記絶縁膜の前記半導体との界面近傍及び前記電極との界面近傍のハロゲン元素の濃度が該絶縁膜の膜厚方向中央部近傍のハロゲン元素の濃度と同等又はそれ以上であることを特徴とする半導体装置。

【請求項 2】 半導体上に絶縁膜を介して形成された電極と、この電極の両端部に対応して形成された不純物拡散領域とを少なくとも有する半導体装置の製造方法において、前記半導体、前記絶縁膜及び前記電極の構成材にハロゲン元素を導入し、導入されたハロゲン元素を前記絶縁膜の両界面に拡散させることを特徴とする半導体装置の製造方法。

【請求項 3】 半導体上に絶縁膜を介して形成された電極と、この電極の両端部に対応して形成された不純物拡散領域とを少なくとも有する半導体装置の製造方法において、前記半導体及び前記電極の構成材にハロゲン元素を導入し、これら半導体及び電極の構成材に導入したハロゲン元素を前記絶縁膜の両界面に拡散させることを特徴とする半導体装置の製造方法。

【請求項 4】 半導体上にハロゲン元素を含有した第 1 の絶縁膜を介して形成された第 1 の電極と、この第 1 の電極の両端部に対応して形成された不純物拡散領域と、前記第 1 の電極上にハロゲン元素を含有した第 2 の絶縁膜を介して形成された第 2 の電極とを少なくとも有し、前記第 1 の絶縁膜の前記半導体との界面近傍及び前記第 1 の電極との界面近傍のハロゲン元素の濃度が該第 1 の絶縁膜の膜厚方向中央部近傍のハロゲン元素の濃度と同等またはそれ以上であり、前記第 2 の絶縁膜の前記第 1 の電極との界面近傍及び前記第 2 の電極との界面近傍のハロゲン元素の濃度が該第 2 の絶縁膜の膜厚方向中央部近傍のハロゲン元素の濃度と同等又はそれ以上であることを特徴とする半導体装置。

【請求項 5】 半導体上に第 1 の絶縁膜を介して形成された第 1 の電極と、この第 1 の電極の両端部に対応して形成された不純物拡散領域と、前記第 1 の電極上に第 2 の絶縁膜を介して形成された第 2 の電極とを少なくとも有する半導体装置の製造方法において、少なくとも前記半導体、前記第 1 の電極の構成材及び前記第 2 の電極の構成材にハロゲン元素を導入し、前記半導体及び前記第 1 の電極の構成材に導入したハロゲン元素を前記第 1 の絶縁膜の両界面に拡散させ、前記第 1 の電極の構成材及び前記第 2 の電極の構成材に導入したハロゲン元素を前記第 2 の絶縁膜の両界面に拡散させることを特徴とする半導体装置の製造方法。

【請求項 6】 半導体上に第 1 の絶縁膜を介して形成された第 1 の電極と、この第 1 の電極の両端部に対応して形成された不純物拡散領域と、前記第 1 の電極上に第 2

2

の絶縁膜を介して形成された第 2 の電極とを少なくとも有する半導体装置の製造方法において、前記第 1 の絶縁膜、第 1 の電極、第 2 の絶縁膜及び第 2 の電極をパターン形成した後、これらパターン形成された第 1 の絶縁膜、第 1 の電極、第 2 の絶縁膜及び第 2 の電極を覆うハロゲン元素を含有する第 3 の絶縁膜を形成し、この第 3 の絶縁膜に含有されたハロゲン元素を前記第 1 及び第 2 の絶縁膜に拡散させることを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置及びその製造方法、特にそのゲート絶縁膜の改良に関するものである。

【0002】

【従来の技術】 近年、電氣的な書き込み及び消去が可能な不揮発性半導体メモリ (EEPROM) に代表されるような、ゲート絶縁膜がトンネル絶縁膜として利用される素子では、書き込み及び消去の際に  $10\text{ MV/cm}$  を上回る高い電界がゲート絶縁膜に印加される。また、論理演算素子のゲート絶縁膜では、性能を維持していくために、微細化されるほど高い電界が印加されるようになっていく。ゲート絶縁膜に上記のような高い電界が印加されることによって、電界から高いエネルギーを得た電子が通過するために、ゲート絶縁膜に対しては高い絶縁破壊耐性が要求される。

【0003】 従来技術におけるゲート絶縁膜では、形成温度や形成雰囲気といったパラメータを変えて種々の絶縁膜を形成し、それらの電氣的な特性を評価してスペックを満たす条件を使用するという、経験的な手法が採られてきた。しかしながら、ゲート絶縁膜がますます薄くなる現状では、上記のスペックを満たすことは困難になりつつある。

【0004】

【発明が解決しようとする課題】 このように、不揮発性メモリのトンネル絶縁膜や論理演算素子のゲート絶縁膜に対しては高い絶縁破壊耐性が要求されるが、十分なスペックを満たすことは極めて困難であり、素子の信頼性低下等を招く要因となっていた。

【0005】 本発明は、上記従来の問題に対してなされたものであり、ゲート絶縁膜等の信頼性を高めて、素子の信頼性や特性の向上をはかることが可能な半導体装置及びその製造方法を提供することにある。

【0006】

【課題を解決するための手段】 本発明に係る半導体装置は、半導体上にハロゲン元素を含有した絶縁膜 (ゲート絶縁膜) を介して形成された電極 (ゲート電極) と、この電極の両端部に対応して形成された不純物拡散領域 (ソース・ドレイン拡散領域) とを少なくとも有し、前記絶縁膜の前記半導体との界面近傍及び前記電極との界

3

面近傍のハロゲン元素の濃度が該絶縁膜の膜厚方向中央部近傍のハロゲン元素の濃度と同等又はそれ以上であることを特徴とする（発明Aとする）。

【0007】代表的には、半導体としてシリコン基板、ハロゲン元素としてフッ素、絶縁膜としてシリコン、酸素及び窒素からなる絶縁膜（オキシナイトライド膜）或いはシリコン及び窒素からなる絶縁膜（シリコン窒化膜）、電極としてポリシリコン電極があげられる。なお、絶縁膜としてペロブスカイト構造を有する強誘電体膜を用いることも可能である。

【0008】例えば、ゲート絶縁膜のシリコン基板との界面近傍の界面遷移層には、シリコンの未結合手や結合エネルギーの小さいSi-H結合等が多数存在するが、界面遷移層にフッ素を導入することにより、シリコンの未結合手にフッ素が終端したり、Si-H結合の水素がフッ素に置換することにより、結合エネルギーの大きいSi-F結合を形成することができる。また、同時に、歪んだSi-O（或いはN）-Si結合にフッ素が作用し、Si-O（或いはN）とSi-Fとに分離することで、応力を緩和させることができる。これにより、ゲート絶縁膜に高電界を長時間印加した場合のTDDB（Time Dependence Dielectric Breakdown）特性など、ゲート絶縁膜の信頼性に関する特性を改善することができる。

【0009】図6は、ゲート絶縁膜にオキシナイトライド膜を用いたnチャネルMISトランジスタについて、ゲート絶縁膜の両界面にフッ素を導入したときの信頼性の改善効果を示したものである。横軸は一定電界を印加し続けた場合の絶縁破壊に至るまでのゲート絶縁膜中の電荷注入量（Charge to Breakdown : Qbd）を表し、縦軸は絶縁破壊の累積不良率Pを“ $\ln(-\ln(1-P))$ ”として表している。これによれば、ゲート絶縁膜の両界面にフッ素を導入することで、分布形状が改善されていることがわかる。すなわち、ゲート絶縁膜の一方の界面（ゲート絶縁膜のゲート電極となるポリシリコン側の界面）にのみ所定の濃度のフッ素を導入した場合には、シリコン基板から電子を注入した場合には改善効果がみられるが、ゲート電極から電子を注入した場合には改善効果がみられない。これに対して、ゲート絶縁膜の両界面にフッ素を導入した場合には、いずれの方向から電子を注入した場合においても、Qbdのワイブル分布形状が改善されていることがわかる。

【0010】このように、前記発明によれば、ハロゲン元素によりゲート絶縁膜の両界面の欠陥密度が低減されて絶縁破壊耐性を改善できるとともに、ゲート絶縁膜に高電界ストレスを印加した後の低電界リーク電流の増加を抑えることが可能となる。従って、ゲート絶縁膜の信頼性が向上し、素子の信頼性や特性の向上をはかることが可能になる。

【0011】前記発明Aに対応する半導体装置の製造方

4

法は、半導体上に絶縁膜を介して形成された電極と、この電極の両端部に対応して形成された不純物拡散領域とを少なくとも有する半導体装置の製造方法において、前記半導体、前記絶縁膜及び前記電極の構成材にハロゲン元素（少なくともハロゲンを含む物質のイオン）を導入し、導入されたハロゲン元素を前記絶縁膜の両界面に拡散させることを特徴とする。代表的には、半導体、ゲート絶縁膜及びゲート電極構成膜に対して、ゲート絶縁膜中にハロゲン元素濃度のピークがくるようにイオン注入を行い、熱処理によってハロゲン元素をゲート絶縁膜の両界面に拡散させる。

10

【0012】また、前記発明Aに対応する半導体装置の製造方法は、半導体上に絶縁膜を介して形成された電極と、この電極の両端部に対応して形成された不純物拡散領域とを少なくとも有する半導体装置の製造方法において、前記半導体及び前記電極の構成材にハロゲン元素を導入し、これら半導体及び電極の構成材に導入したハロゲン元素を前記絶縁膜の両界面に拡散させることを特徴とする。代表的には、半導体基板にハロゲン元素をイオン注入した後、ゲート絶縁膜を介してゲート電極構成膜を形成し、その後ゲート電極構成膜にハロゲン元素をイオン注入し、さらにその後熱処理によって半導体基板及びゲート電極構成膜に導入したハロゲン元素をゲート絶縁膜の両界面に拡散させる。

20

【0013】前記各方法によれば、ゲート絶縁膜の両界面近傍に効果的にハロゲン元素を導入することができるため（例えば、拡散したハロゲン元素がゲート絶縁膜の界面でバイルアップして界面近傍のハロゲン元素の濃度が高くなる。）、先に述べたように、TDDB特性の改善などゲート絶縁膜の信頼性を向上させることができる。

30

【0014】例えば、ゲート電極の多結晶シリコン膜中にフッ素を導入し、熱拡散によってゲート絶縁膜へフッ素を導入しようとした場合、ゲート絶縁膜が酸化膜であれば、フッ素は酸化膜中を比較的容易に拡散することができるので、酸化膜の両界面にフッ素を導入することも可能である。しかし、フッ素の拡散を抑制してしまうオキシナイトライド膜や窒化膜をゲート絶縁膜として用いた場合には、シリコン基板とゲート絶縁膜との界面に所定の濃度のフッ素を導入することはできない。図4は、オキシナイトライド膜上に形成された多結晶シリコン膜からのみフッ素を拡散させた場合のフッ素の深さ方向のプロファイルを示したものであるが、窒素を含む領域によってフッ素の拡散が抑制され、シリコン基板とオキシナイトライド膜との界面にフッ素が導入され難くなっている。一方、図5は、本発明の方法によってゲート絶縁膜にフッ素を導入した場合のフッ素の深さ方向のプロファイルを示したものであるが、オキシナイトライド膜の両界面に高濃度でフッ素を導入することができる。

40

【0015】また、前記第1番目の方法によれば、ハロ

50

5

ゲン元素のイオン注入の際にゲート絶縁膜中の結合を切断することにより、その後の熱処理で絶縁膜構造を再構築することができるという利点がある。一方、ハロゲン元素のイオン注入後に高温の熱処理が不可能な場合、ゲート絶縁膜を通過するようにハロゲン元素をイオン注入すると、ゲート絶縁膜構造を再構築することが困難である。第2番目の方法によれば、半導体基板及びゲート電極構成膜に導入されたハロゲン元素をゲート絶縁膜に拡散させるので、ゲート絶縁膜中の結合をイオン注入によって切断せずに効果的にゲート絶縁膜の両界面にハロゲン元素を導入することができる。

【0016】また、本発明に係る半導体装置は、半導体上にハロゲン元素を含有した第1の絶縁膜（第1のゲート絶縁膜）を介して形成された第1の電極（第1のゲート電極：フロティングゲート）と、この第1の電極の両端部に対応して形成された不純物拡散領域（ソース・ドレイン拡散領域）と、前記第1の電極上にハロゲン元素を含有した第2の絶縁膜（第2のゲート絶縁膜）を介して形成された第2の電極（第2のゲート電極：コントロールゲート）とを少なくとも有し、前記第1の絶縁膜の前記半導体との界面近傍及び前記第1の電極との界面近傍のハロゲン元素の濃度が該第1の絶縁膜の膜厚方向中央部近傍のハロゲン元素の濃度と同等またはそれ以上であり、前記第2の絶縁膜の前記第1の電極との界面近傍及び前記第2の電極との界面近傍のハロゲン元素の濃度が該第2の絶縁膜の膜厚方向中央部近傍のハロゲン元素の濃度と同等又はそれ以上であることを特徴とする（発明Bとする）。

【0017】代表的には、半導体としてシリコン基板、ハロゲン元素としてフッ素、第1の絶縁膜としてシリコン、酸素及び窒素からなる絶縁膜（オキシナイトライド膜）或いはシリコン及び窒素からなる絶縁膜（シリコン窒化膜）、第1及び第2の電極としてポリシリコン電極があげられる。

【0018】前記発明によれば、絶縁膜の両界面にハロゲン元素を導入することにより、前記発明Aで述べたのと同様に、絶縁膜の信頼性が向上して素子の信頼性や特性の向上をはかることが可能になる。すなわち、第1の絶縁膜及び第2の絶縁膜それぞれの両界面にハロゲン元素を導入することにより、電子を高電界でトンネルさせる第1の絶縁膜の絶縁破壊耐性やストレスリーク特性が改善されるばかりでなく、電子の出し入れをコントロールする第2の電極下の第2の絶縁膜の特性も均質化させることが可能となる。

【0019】前記発明Bに対応する半導体装置の製造方法は、半導体上に第1の絶縁膜を介して形成された第1の電極と、この第1の電極の両端部に対応して形成された不純物拡散領域と、前記第1の電極上に第2の絶縁膜を介して形成された第2の電極とを少なくとも有する半導体装置の製造方法において、少なくとも前記半導体、

6

前記第1の電極の構成材及び前記第2の電極の構成材にハロゲン元素を導入し、前記半導体及び前記第1の電極の構成材に導入したハロゲン元素を前記第1の絶縁膜の両界面に拡散させ、前記第1の電極の構成材及び前記第2の電極の構成材に導入したハロゲン元素を前記第2の絶縁膜の両界面に拡散させることを特徴とする。

【0020】また、前記発明Bに対応する半導体装置の製造方法は、半導体上に第1の絶縁膜を介して形成された第1の電極と、この第1の電極の両端部に対応して形成された不純物拡散領域と、前記第1の電極上に第2の絶縁膜を介して形成された第2の電極とを少なくとも有する半導体装置の製造方法において、前記第1の絶縁膜、第1の電極、第2の絶縁膜及び第2の電極をパターン形成した後、これらパターン形成された第1の絶縁膜、第1の電極、第2の絶縁膜及び第2の電極を覆うハロゲン元素を含有する第3の絶縁膜を形成し、この第3の絶縁膜に含有されたハロゲン元素を前記第1及び第2の絶縁膜に拡散させることを特徴とする。

【0021】前記各製造方法によれば、第1及び第2の絶縁膜それぞれの両界面近傍に効果的にハロゲン元素を導入することができるため、前記発明Aで述べたのと同様に、絶縁膜の信頼性が向上して素子の信頼性や特性の向上をはかることが可能になる。

【0022】

【発明の実施の形態】以下、本発明の実施形態を図面を参照して詳細に説明する。

【0023】まず、本発明の第1の実施形態について、図1、図2及び図3を参照して説明する。

【0024】図1において、p型シリコン基板1上には、素子分離絶縁膜となるシリコン熱酸化膜2が形成されている。また、シリコン基板1表面には、ゲート絶縁膜としてシリコン、酸素及び窒素を主成分とする絶縁膜3（オキシナイトライド膜）が形成されている。このゲート絶縁膜3にはフッ素原子（一般的にはハロゲン元素）が導入されている。このフッ素の濃度は、ゲート絶縁膜3の両界面近傍の濃度がゲート絶縁膜3の中央部近傍の濃度と同等或いはそれ以上となるような分布となっている。ゲート絶縁膜3上にはゲート電極となる多結晶シリコン膜4が形成されている。

【0025】また、多結晶シリコン膜4上にはCVDシリコン酸化膜6が形成されており、ゲート電極4の側壁には側壁絶縁膜となるシリコン窒化膜8が形成されている。また、ゲート電極4の両端近傍のシリコン基板1表面には、リンのイオン注入によってn型のソース・ドレイン拡散層7a及び7bが形成されており、ソース・ドレイン拡散層表面にはシリサイド層9が形成されている。さらに、全面に形成された層間絶縁膜となるCVDシリコン酸化膜10にはコンタクト孔が開口され、配線となるA1電極11が形成されている。

【0026】以下、図1に示したnチャネルMISトラ



7

ンジスタの製造工程について、図2(a)～図3(1)を参照して説明する。

【0027】まず、図2(a)に示すように、例えば方位(100)、比抵抗4～6Ωcmのp型シリコン基板1を用意し、このp型シリコン基板1の表面に通常の選択酸化法によって厚さ0.6μm程度の素子分離絶縁膜2を形成する。

【0028】次に、同図(b)に示すように、例えば乾燥酸素による熱酸化によって厚さ6nmのシリコン酸化膜を形成した後、例えばアンモニア(NH<sub>3</sub>)ガス雰囲気中にこのシリコン酸化膜を晒すことにより、ゲート絶縁膜として窒素原子が導入されたオキシナイトライド膜3を形成する。続いて、ゲート絶縁膜3上にゲート電極となる厚さ200nmの多結晶シリコン膜4を堆積する。この多結晶シリコン膜中に例えばオキシ塩化リン(POCl<sub>3</sub>)を用いてリンを拡散させ(850℃、30分間)、多結晶シリコン膜4を低抵抗化させる。

【0029】次に、同図(c)に示すように、全面に、例えば加速電圧80keV、ドーズ量1×10<sup>15</sup>cm<sup>-2</sup>でフッ素をイオン注入する。このとき、イオン注入直後のフッ素の濃度分布は、オキシナイトライド膜3中をピークとしてシリコン基板1及び多結晶シリコン膜4に拡がった分布となるようにする。続いて、これを例えば窒素雰囲気中で850℃、30分間熱処理することで、シリコン基板1、ゲート絶縁膜3及び多結晶シリコン膜4に注入されたフッ素をゲート絶縁膜3の両界面に拡散させる。フッ素の拡散及び拡散したフッ素のパイルアップ等により、ゲート絶縁膜3の両界面近傍のフッ素濃度がゲート絶縁膜3の中央部近傍のフッ素濃度と同等或いはそれ以上となる。

【0030】次に、同図(d)に示すように、多結晶シリコン膜4上にCVDシリコン酸化膜6を堆積する。続いて、多結晶シリコン膜4及びCVDシリコン酸化膜6をレジストマスクを用いて反応性イオンエッチング法によりエッチングし、ゲート部を形成する。

【0031】次に、同図(e)に示すように、ゲート部をマスクとして例えばリンを1×10<sup>15</sup>cm<sup>-2</sup>イオン注入する。注入されたリンイオンは、シリコン基板内部で加速エネルギーに依存するピーク深さを中心にして分布する。その後、例えば、950℃、30秒間の熱処理を行い、リンをシリコン基板中に拡散し活性化させ、ソース・ドレイン領域となる拡散層7aを形成する。

【0032】次に、同図(f)に示すように、全面に厚さ100nmのシリコン窒化膜8をCVD法により堆積する。

【0033】次に、図3(g)に示すように、シリコン窒化膜8を反応性イオンエッチング法によりエッチングしてゲート側壁部を形成する。

【0034】次に、同図(h)に示すように、ゲート側壁部をマスクとしてリンイオンを注入する。注入された

8

リンイオンは、シリコン基板内部で加速エネルギーに依存するピーク深さを中心にして分布する。その後、例えば、950℃、30秒間の熱処理を行い、リンをシリコン基板中に拡散し活性化させ、ソース・ドレイン領域となる拡散層7bを形成する。

【0035】次に、同図(i)に示すように、全面に厚さ25nmのチタン薄膜及び厚さ50nmのチタンナイトライド薄膜をスパッタ法により順次堆積する。さらに、窒素雰囲気中、700℃で1分間の熱処理を行い、チタン薄膜をシリコン基板と反応させ、ソース・ドレイン領域上にのみチタンシリサイド膜9を形成する。その後、例えばフッ化水素酸の水溶液、硫酸と過酸化水素の混合溶液によって、チタンナイトライド膜及び絶縁膜上の未反応のチタン薄膜を選択的に剥離する。

【0036】次に、同図(j)に示すように、全面に厚さ300nmのシリコン酸化膜10をCVD法により堆積する。

【0037】次に、同図(k)に示すように、異方性ドライエッチングによりシリコン酸化膜10にコンタクトホールを開口する。

【0038】最後に、同図(l)に示すように、シリコン及び銅をそれぞれ例えば0.5%ずつ含有する厚さ800nmのアルミニウム膜を形成した後、これをパターニングしてソース・ドレイン電極11を形成する。その後、450℃で15分間、水素を10%含む窒素雰囲気中で熱処理する。

【0039】なお、本実施形態ではフッ素のイオン注入はゲート電極となる多結晶シリコン膜中に直接行ったが、イオン注入時の金属不純物の混入を避けるために、多結晶シリコン膜上に酸化膜を例えば20nm形成し、これを通過させるようにフッ素のイオン注入を行ってもよい。

【0040】また、本実施形態ではゲート絶縁膜中にピークがくるようにフッ素をイオン注入したが、イオン注入時の加速電圧をコントロールして、ゲート電極中、ゲート絶縁膜中及び基板中のそれぞれにピークがくるようにフッ素をイオン注入してもよい。

【0041】次に、本発明の第2の実施形態について、図7及び図8を参照して説明する。なお、最終的な構造は図2と同様であるため、ここでは説明は省略する。

【0042】以下、本例のnチャネルMISトランジスタの製造工程について、図7(a)～図8(n)を参照して説明する。

【0043】まず、図7(a)に示すように、例えば方位(100)、比抵抗4～6Ωcmのp型シリコン基板1を用意し、このp型シリコン基板1の表面に通常の選択酸化法によって厚さ0.6μm程度の素子分離絶縁膜2を形成する。

【0044】次に、同図(b)に示すように、このシリコン基板1の表面にフッ素イオンを、例えば加速電圧1

9

0 keV、ドーズ量  $1 \times 10^{15} \text{cm}^{-2}$  でイオン注入する。

【0045】次に、同図(c)に示すように、例えば乾燥酸素による熱酸化によって厚さ6 nmのシリコン酸化膜を形成し、例えばアンモニア雰囲気中にこのシリコン酸化膜を晒して窒素原子を導入し、ゲート絶縁膜となるオキシナイトライド膜3を形成する。

【0046】次に、同図(d)に示すように、多結晶シリコン膜4を形成した後、例えばオキシ塩化リンを用いてリンの拡散(850℃、30分間)を行い、多結晶シリコン膜4中にリンを導入し低抵抗化させる。

【0047】次に、同図(e)に示すように、多結晶シリコン膜4上にCVDシリコン酸化膜6を堆積する。続いて、多結晶シリコン膜6中にフッ素を、例えば加速電圧30 keV、ドーズ量  $1 \times 10^{15} \text{cm}^{-2}$  でイオン注入する。このときフッ素のピーク濃度が多結晶シリコン膜4中になるようにイオン注入を行う。続いて、これを例えば窒素雰囲気中で850℃、30分間熱処理することによって、シリコン基板1中に導入したフッ素及び多結晶シリコン膜4中に導入したフッ素を、オキシナイトライド膜3の両界面に拡散させる。これにより、ゲート絶縁膜3の両界面近傍のフッ素濃度がゲート絶縁膜3の中央部近傍のフッ素濃度と同等或いはそれ以上となる。

【0048】次に、同図(f)に示すように、多結晶シリコン膜4及びCVDシリコン酸化膜6をレジストマスクを用いて反応性イオンエッチング法によりエッチングし、ゲート部を形成する。

【0049】次に、同図(g)に示すように、ゲート部をマスクとして例えばリンを  $1 \times 10^{15} \text{cm}^{-2}$  イオン注入する。注入されたリンイオンはシリコン基板内部で加速エネルギーに依存するピーク深さを中心にして分布する。その後、例えば、950℃、30秒間の熱処理を行い、リンをシリコン基板中に拡散し活性化させ、ソース・ドレイン領域となる拡散層7aを形成する。

【0050】次に、図8(h)に示すように、全面に厚さ100 nmのシリコン窒化膜8をCVD法により堆積する。

【0051】次に、同図(i)に示すように、シリコン窒化膜8を反応性イオンエッチング法によりエッチングしてゲート側壁部を形成する。

【0052】次に、同図(j)に示すように、ゲート側壁部をマスクとしてリンイオンを注入する。注入されたリンイオンは、シリコン基板内部で加速エネルギーに依存するピーク深さを中心にして分布する。その後、例えば、950℃、30秒間の熱処理を行い、リンをシリコン基板中に拡散し活性化させ、ソース・ドレイン領域となる拡散層7bを形成する。

【0053】次に、同図(k)に示すように、全面に厚さ25 nmのチタン薄膜及び厚さ50 nmのチタンナイトライド薄膜をスパッタ法により順次堆積する。さらに、窒素雰囲気中、700℃で1分間の熱処理を行い、

10

チタン薄膜をシリコン基板と反応させ、ソース・ドレイン領域上のみチタンシリサイド膜9を形成する。その後、例えばフッ化水素酸の水溶液、硫酸と過酸化水素の混合溶液によって、チタンナイトライド膜及び絶縁膜上の未反応のチタン薄膜を選択的に剥離する。

【0054】次に、同図(l)に示すように、全面に厚さ300 nmのシリコン酸化膜10をCVD法により堆積する。

【0055】次に、同図(m)に示すように、異方性ドライエッチングによりシリコン酸化膜10にコンタクトホールを開孔する。

【0056】最後に、同図(n)に示すように、シリコン及び銅をそれぞれ例えば0.5%ずつ含有する厚さ800 nmのアルミニウム膜を形成した後、これをパターニングしてソース・ドレイン電極11を形成する。その後、450℃で15分間、水素を10%含む窒素雰囲気中で熱処理する。

【0057】例えば、フッ素のイオン注入後に高温の熱処理が不可能な素子に対して本発明を適用した場合、ゲート絶縁膜を通過するようにフッ素をイオン注入すると、ゲート絶縁膜構造を再構築することができない。上記実施形態のように、シリコン基板及びゲート電極となる多結晶シリコン膜にそれぞれフッ素を導入すれば、ゲート絶縁膜中の結合をイオン注入により切断せず、ゲート絶縁膜の両界面に効果的にフッ素を導入することができる。

【0058】なお、上記各実施形態ではゲート絶縁膜としてオキシナイトライド膜を例にとりて説明したが、例えば  $\text{SiH}_2\text{Cl}_2$  や  $\text{SiCl}_4$  と  $\text{NH}_3$  などを用いて成膜したシリコン窒化膜や、 $\text{NH}_3$  などによってシリコン基板表面を直接窒化して形成したシリコン窒化膜に対しても、同様の効果が得ることが可能である。さらに、例えばBSTO(バリウム添加チタン酸ストロンチウム)のような強誘電体膜を用いた場合にも同様の効果を得ることが可能である。

【0059】次に、本発明の第3の実施形態について、図9、図10及び図11を参照して説明する。本実施形態は、電気的な書き込み及び消去が可能な不揮発性半導体メモリ(EEPROM)に本発明を適用したものである。

【0060】図9において、p型シリコン基板1上に、素子分離絶縁膜となるシリコン熱酸化膜2が形成されている。シリコン基板1表面には第1のゲート絶縁膜3aが形成されており、第1のゲート絶縁膜3a上には第1のゲート電極(フローティングゲート)となる第1のポリシリコン膜4aが形成されている。第1のゲート絶縁膜3aにはフッ素原子(一般的にはハロゲン元素)が導入されており、第1のゲート絶縁膜3aの両界面近傍のフッ素濃度が第1のゲート絶縁膜3aの中央部近傍のフッ素濃度と同等或いはそれ以上となっている。第1のポ

11

リシリコン膜4a上には第2のゲート絶縁膜3bが形成されており、第2のゲート絶縁膜3b上には第2のゲート電極(コントロールゲート)となる第2のポリシリコン膜4bが形成されている。第2のゲート絶縁膜3bにはフッ素原子(一般的にはハロゲン元素)が導入されており、第2のゲート絶縁膜3bの両界面近傍のフッ素濃度が第2のゲート絶縁膜3bの中央部近傍のフッ素濃度と同等或いはそれ以上となっている。

【0061】第2のポリシリコン膜4b上にはCVDシリコン酸化膜6aが形成されており、ゲート部の側壁にはシリコン酸化膜6bが形成されている。また、第1のゲート電極4aの両端近傍のシリコン基板1表面には、リンのイオン注入によってn型のソース・ドレイン拡散層7aが形成されている。さらに、全面に形成された層間絶縁膜となるCVDシリコン酸化膜10にはコンタクト孔が開口され、配線となるAl電極11が形成されている。

【0062】このように、第1のゲート絶縁膜3a及び第2のゲート絶縁膜3bの両絶縁膜の両界面にフッ素を導入することにより、電子を高電界でトンネルさせる第1のゲート絶縁膜の絶縁破壊耐性やストレスリーク特性が改善されるばかりでなく、電子の出し入れをコントロールする第2のゲート電極4b下に形成された第2の絶縁膜3bの特性も均質化させることが可能となる。特に、第1のゲート絶縁膜3aは、基板1から電子を第1のゲート電極4aに注入したり、逆に第1のゲート電極4aから基板1へ電子を放出したりすることから、フッ素を第1のゲート絶縁膜3aの両界面に導入することによって、その両方向のストレスに対しての絶縁破壊耐性を改善させることができ、高性能化、高信頼化を達成することが可能となる。

【0063】以下、図9に示した不揮発性半導体メモリの製造工程について、図10(a)～図11(m)を参照して説明する。

【0064】まず、図10(a)に示すように、例えば、面方位(100)、比抵抗4～6Ωmのp型シリコン基板を用意し、このp型シリコン基板1の表面に通常の選択酸化法によって厚さ0.6μm程度の素子分離絶縁膜2を形成する。

【0065】続いて、同図(b)に示すように、例えばバッファ熱酸化膜を通してシリコン基板の表面領域に、例えばフッ素イオンを加速電圧10keV、ドーズ量 $1 \times 10^{15}/\text{cm}^2$ でイオン注入する。

【0066】次に、同図(c)に示すように、バッファ熱酸化膜をフッ化アンモニウム溶液等で除去した後、例えば乾燥酸素による熱酸化によって厚さ6nmのシリコン酸化膜を形成し、例えばアンモニア(NH<sub>3</sub>)ガス雰囲気中にこのシリコン酸化膜を晒して窒素原子を導入し、第1のゲート絶縁膜となるオキシナイトライド膜3aを形成する。

12

【0067】次に同図(d)に示すように、第1のゲート絶縁膜3a上にフローティングゲートとなる厚さ200nmの多結晶シリコン膜4aを堆積する。続いて、例えばオキシ塩化リン(POCl<sub>3</sub>)により、850℃、30分間のリン拡散処理を施し、この多結晶シリコン膜4a中にリンをドーピングして低抵抗化させる。なお、例えばシラン(SiH<sub>4</sub>)ガスとホスフィン(PH<sub>3</sub>)ガスを反応させて、リンを含んだポリシリコン膜を堆積するようにしてもよい。また、リンイオンをイオン注入して、例えば窒素雰囲気中で900℃、30分間の熱処理をすることでリンを活性化させ、多結晶シリコン膜の抵抗を低下させてもよい。

【0068】次に、同図(e)に示すように、多結晶シリコン膜4a中に、例えばフッ素イオンを加速電圧30keV、ドーズ量 $1 \times 10^{15}/\text{cm}^2$ でイオン注入する。

【0069】次に、同図(f)に示すように、第2のゲート絶縁膜となる厚さ5nmのCVDシリコン酸化膜3b、コントロールゲートとなる厚さ200nmの多結晶シリコン膜4bを連続的に堆積する。続いて、例えばオキシ塩化リン(POCl<sub>3</sub>)により、850℃、30分間のリン拡散処理を施し、多結晶シリコン膜4b中にリンをドーピングして低抵抗化させる。

【0070】次に、同図(g)に示すように、多結晶シリコン膜4b中に、例えば加速電圧30keV、ドーズ量 $1 \times 10^{15}/\text{cm}^2$ でフッ素をイオン注入する。続いて、窒素雰囲気中で850℃、30分間の熱処理を行う。この熱処理により、最終的に、多結晶シリコン膜4a中に導入されたフッ素はオキシナイトライド膜3a及びシリコン酸化膜3b中に拡散し、多結晶シリコン膜4b中に導入されたフッ素はシリコン酸化膜3b中に拡散する。また、シリコン基板1に導入されているフッ素もオキシナイトライド膜3a中に拡散する。これにより、オキシナイトライド膜3aの両界面近傍のフッ素濃度がその中央部近傍のフッ素濃度と同等或いはそれ以上になるようにし、シリコン酸化膜3bの両界面近傍のフッ素濃度がその中央部近傍のフッ素濃度と同等或いはそれ以上となるようにする。

【0071】次に、図11(h)に示すように、全面にCVD酸化膜6aを堆積する。

【0072】次に、同図(i)に示すように、CVD酸化膜6a、多結晶シリコン膜4b、シリコン酸化膜3b及び多結晶シリコン膜4aをレジストマスクを用いて反応性イオンエッチング法によりエッチングし、ゲート部を形成する。続いて、水素及び酸素の混合ガスによる燃焼酸化法などを用いて酸化膜6bを形成する。

【0073】次に、同図(j)に示すように、例えばリンを $5 \times 10^{15}/\text{cm}^2$ イオン注入する。その後、例えば、950℃、30秒間の熱処理を行い、リンをシリコン基板中に拡散して活性化させ、ソース・ドレイン領域となる拡散層7aを形成する。

13

【0074】次に、同図(k)に示すように、全面に厚さ300nmのシリコン酸化膜10をCVD法により堆積する。

【0075】次に、同図(l)に示すように、異方性ドライエッチングによりシリコン酸化膜10にコンタクトホールを開口する。

【0076】最後に、同図(m)に示すように、シリコン及び銅をそれぞれ例えば0.5%ずつ含有する厚さ800nmのアルミニウム膜を形成した後、これをパターニングしてソース・ドレイン電極11を形成する。この後、450℃で15分間、水素を10%含む窒素雰囲気中で熱処理する。

【0077】これにより、第1のゲート絶縁膜3aの両界面及び第2のゲート絶縁膜3bの両界面にフッ素を導入させることができ、また、それぞれの界面に存在するフッ素量は、それぞれのイオン注入時のドーズ量で制御することが可能となる。従って、書き込み・消去時の電氣的ストレスに対する信頼性を大幅に改善させることが可能となる。

【0078】次に、本発明の第4の実施形態について、図12及び図13を参照して説明する。なお、最終的な構造は図9と同様であるため、ここでは説明は省略する。

【0079】以下、本例の不揮発性メモリの製造工程について、図12(a)～図13(k)を参照して説明する。

【0080】まず、図12(a)に示すように、例えば、面方位(100)、比抵抗4～6Ωcmのp型シリコン基板1を用意し、このp型シリコン基板1の表面に通常の選択酸化法によって厚さ0.6μm程度の素子分離絶縁膜2を形成する。

【0081】次に、同図(b)に示すように、例えば乾燥酸素による熱酸化によって厚さ6nmのシリコン酸化膜を形成し、例えばアンモニアガス雰囲気中にこのシリコン酸化膜を晒してシリコン酸化膜中に窒素原子を導入し、第1のゲート絶縁膜となるオキシナイトライド膜3aを形成する。

【0082】次に、同図(c)に示すように、オキシナイトライド膜3a上に第1のゲート電極となる厚さ200nmの多結晶シリコン膜4aを堆積する。続いて、例えばオキシ塩化リン(POCl<sub>3</sub>)により、850℃、30分間のリン拡散処理を施し、多結晶シリコン膜4a中にリンをドーピングして低抵抗化させる。

【0083】次に、同図(d)に示すように、第2のゲート絶縁膜となる厚さ5nmのCVDシリコン酸化膜3b、第2のゲート電極となる厚さ200nmの多結晶シリコン膜4bを連続的に堆積する。続いて、例えばオキシ塩化リン(POCl<sub>3</sub>)により、850℃、30分間のリン拡散処理を施し、多結晶シリコン膜4b中にリンをドーピングして低抵抗化させる。

14

【0084】次に、同図(e)に示すように、全面にCVD酸化膜6aを堆積する。

【0085】次に、同図(f)に示すように、CVD酸化膜6a、多結晶シリコン膜4b、シリコン酸化膜3b、多結晶シリコン膜4a及びオキシナイトライド膜3aをレジストマスクを用いて反応性イオンエッチング法によりエッチングし、ゲート部を形成する。

【0086】次に、図13(g)に示すように、例えばSiF<sub>4</sub>ガスと酸素ガスの混合ガスを用いたプラズマCVD法により、全面にフッ素を含有するシリコン酸化膜12を形成する。続いて、例えば窒素雰囲気中で850℃、30分間の熱処理を施すことにより、シリコン酸化膜12からフッ素を拡散させる。これにより、オキシナイトライド膜3aの両界面近傍のフッ素濃度がその中央部近傍のフッ素濃度と同等或いはそれ以上になるようにし、シリコン酸化膜3bの両界面近傍のフッ素濃度がその中央部近傍のフッ素濃度と同等或いはそれ以上となるようにする。

【0087】次に、同図(h)に示すように、水素及び酸素の混合ガスによる燃焼酸化法などを用いて酸化膜6bを形成する。続いて、例えばリンを5×10<sup>15</sup>cm<sup>-2</sup>イオン注入する。その後、例えば950℃、30秒間の熱処理を行い、リンをシリコン基板中に拡散して活性化させ、ソース・ドレイン領域となる拡散層7aを形成する。

【0088】次に、同図(i)に示すように、全面に厚さ300nmのシリコン酸化膜10をCVD法により堆積する。

【0089】次に、同図(j)に示すように、異方性ドライエッチングによりシリコン酸化膜10にコンタクトホールを開口する。

【0090】最後に、同図(k)に示すように、シリコン及び銅をそれぞれ例えば0.5%ずつ含有する厚さ800nmのアルミニウム膜を形成した後、これをパターニングしてソース・ドレイン電極11を形成する。この後、450℃で15分間、水素を10%含む窒素雰囲気中で熱処理する。

【0091】このように、ゲート部の側面からフッ素含有シリコン酸化膜12に含まれるフッ素を拡散させることにより、第1のゲート絶縁膜3aの両界面及び第2のゲート絶縁膜3bの両界面にフッ素を導入させることができ、また、それぞれの界面に存在するフッ素量は、堆積するフッ素含有シリコン酸化膜中のフッ素濃度で制御することが可能となる。

【0092】なお、本実施形態においては、ゲート加工後にフッ素含有シリコン酸化膜を堆積して、ここからフッ素を拡散させているが、例えば図14に示すように、ゲート加工後にフッ素を基板1に対して斜め方向からイオン注入することにより、多結晶シリコン膜4a及び4b、ゲート絶縁膜3a及び3bにフッ素を導入させるよ

15

うにしてもよい。

【0093】以上、本発明の各実施形態について説明したが、本発明はこれらの実施形態に限定されるものではなく、その主旨を逸脱しない範囲内において種々変形して実施することができる。

【0094】

【発明の効果】本発明によれば、ハロゲン元素をゲート絶縁膜等の両界面に導入することにより、絶縁膜の絶縁破壊や低電界リーク電流などの問題を大幅に改善することができ、素子の信頼性や特性の向上をはかることが可能になる。

【図面の簡単な説明】

【図1】本発明の第1及び第2の実施形態に係るMISトランジスタの構成を示した断面図。

【図2】本発明の第1の実施形態に係るMISトランジスタの製造工程の一部を示した工程断面図。

【図3】本発明の第1の実施形態に係るMISトランジスタの製造工程の一部を示した工程断面図。

【図4】オキシナイトライド膜の一方の界面にフッ素を導入したときのフッ素の深さ方向のプロファイルを示した図。

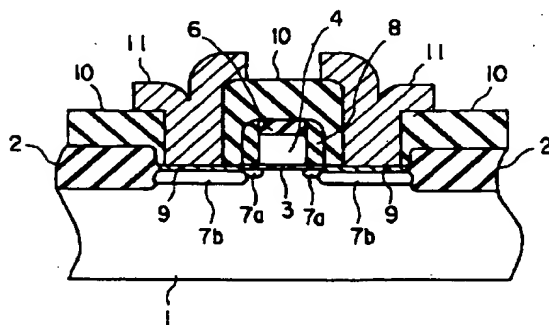
【図5】オキシナイトライド膜の両界面にフッ素を導入したときのフッ素の深さ方向のプロファイルを示した図。

【図6】Qbdのワイブル分布について示した図。

【図7】本発明の第2の実施形態に係るMISトランジスタの製造工程の一部を示した工程断面図。

【図8】本発明の第2の実施形態に係るMISトランジスタの製造工程の一部を示した工程断面図。

【図1】



16

\* 【図9】本発明の第3の実施形態に係る不揮発性半導体メモリの構成を示した断面図。

【図10】本発明の第3の実施形態に係る不揮発性半導体メモリの製造工程の一部を示した工程断面図。

【図11】本発明の第3の実施形態に係る不揮発性半導体メモリの製造工程の一部を示した工程断面図。

【図12】本発明の第4の実施形態に係る不揮発性半導体メモリの製造工程の一部を示した工程断面図。

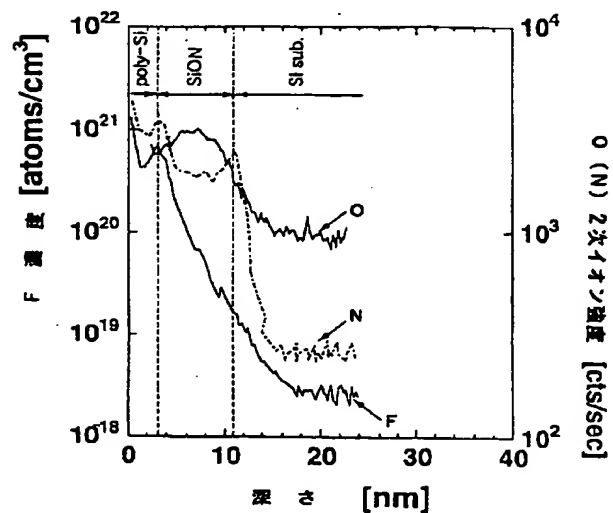
【図13】本発明の第4の実施形態に係る不揮発性半導体メモリの製造工程の一部を示した工程断面図。

【図14】本発明の第4の実施形態に係る不揮発性半導体メモリの製造工程についてその一部を変更したときの断面図。

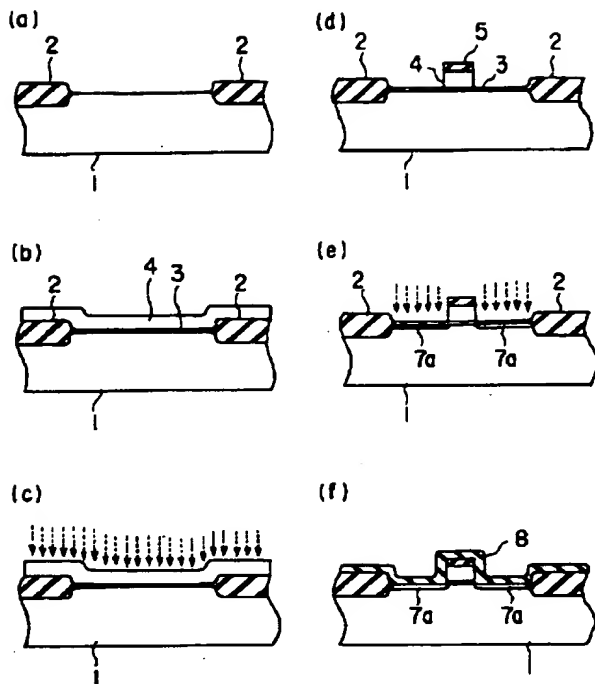
【符号の説明】

- 1…シリコン基板
- 2…素子分離絶縁膜
- 3…ゲート絶縁膜
- 3a…第1のゲート絶縁膜
- 3b…第2のゲート絶縁膜
- 4…ゲート電極
- 4a…第1のゲート電極
- 4b…第2のゲート電極
- 6、6a、6b…シリコン酸化膜
- 7a、7b…ソース・ドレイン
- 8…側壁絶縁膜
- 9…シリサイド層
- 10…シリコン酸化膜
- 11…ソース・ドレイン電極
- \* 12…フッ素含有シリコン酸化膜

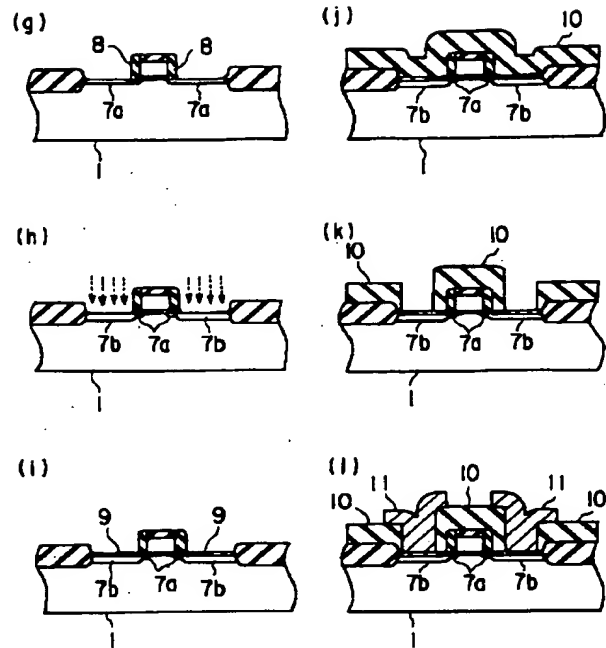
【図4】



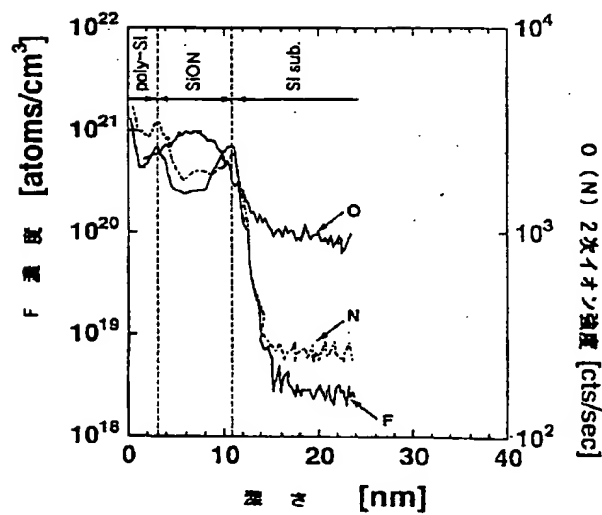
【図 2】



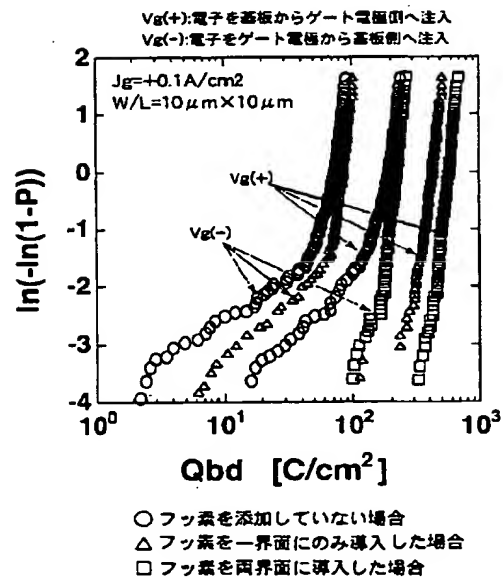
【図 3】



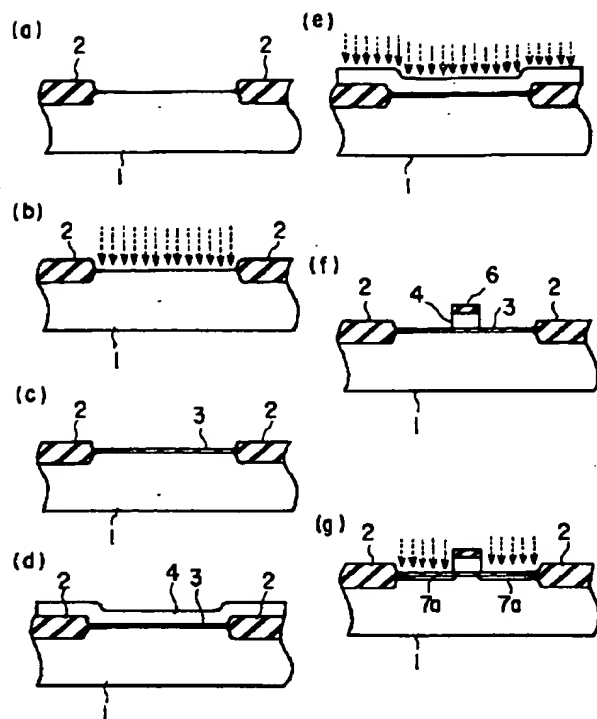
【図 5】



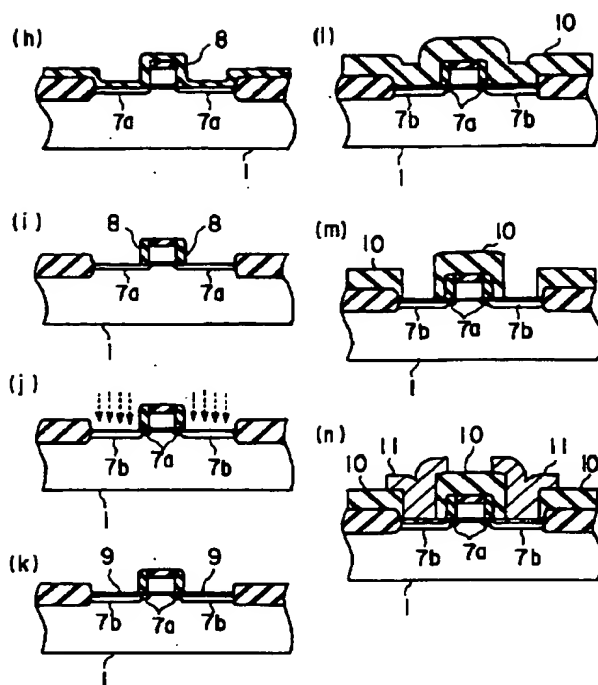
【図 6】



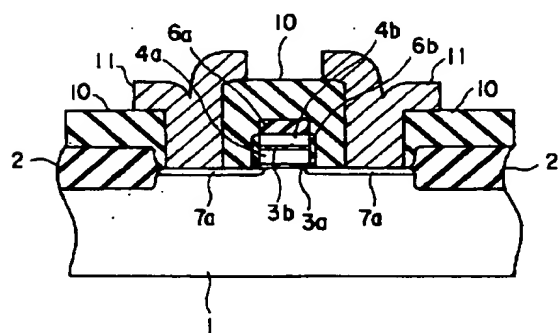
【図 7】



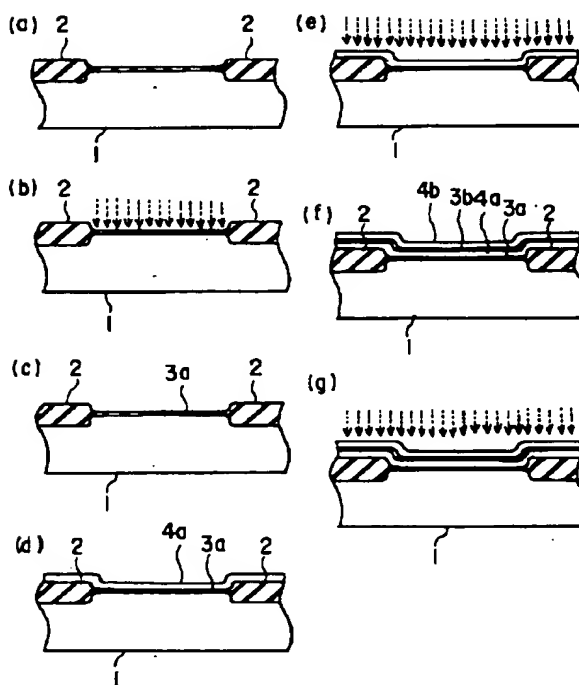
【図 8】



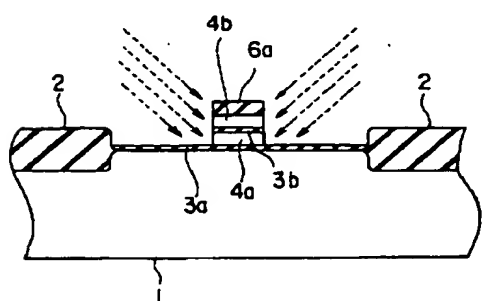
【図 9】



【図 10】

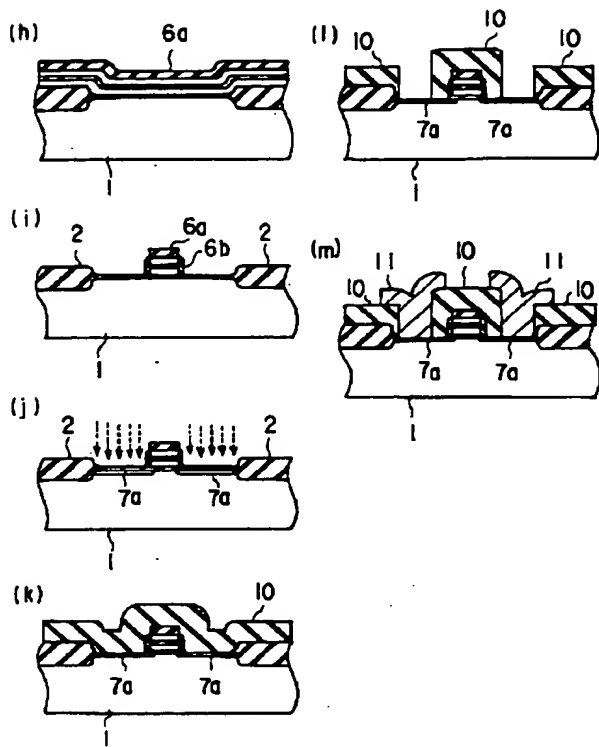


【図 14】

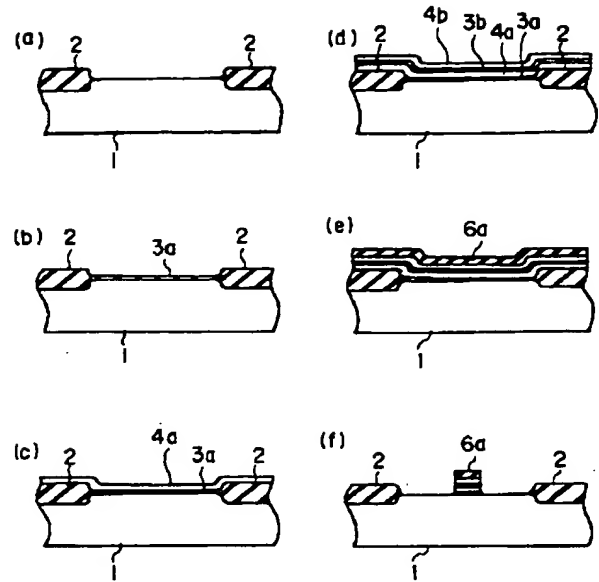




【図 1 1】



【図 1 2】



【図 1 3】

